

日本特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

4-2501  
4-2501  
4-2501

JC542 U.S. PRO  
09/711504  
11/14/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application: 1999年11月16日

出願番号

Application Number: 平成11年特許願第325739号

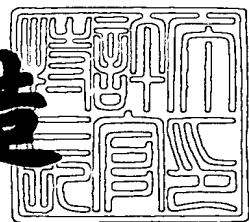
出願人

Applicant(s): 鹿児島日本電気株式会社

2000年 7月21日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3056306

【書類名】 特許願  
【整理番号】 00320135  
【あて先】 特許庁長官殿  
【国際特許分類】 G02F 1/136  
H01L 29/786

【発明者】

【住所又は居所】 鹿児島県出水市大野原町2080  
鹿児島日本電気株式会社内

【氏名】 加藤 剛

【発明者】

【住所又は居所】 鹿児島県出水市大野原町2080  
鹿児島日本電気株式会社内

【氏名】 元島 秀人

【特許出願人】

【識別番号】 000181284

【氏名又は名称】 鹿児島日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114163

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ基板およびその製造方法

【特許請求の範囲】

【請求項1】 バックチャネル電極を備えた薄膜トランジスタ基板において、前記薄膜トランジスタを構成する半導体層の一部に設けたコンタクトホールを介して前記バックチャネル電極とゲート電極とを短絡することにより、前記薄膜トランジスタのゲート配線側に位置するフロントチャネルと前記バックチャネル電極側に位置するバックチャネルとが同一電圧となるように構成したことを特徴とする薄膜トランジスタ基板。

【請求項2】 前記バックチャネル電極は、前記薄膜トランジスタのソース・ドレイン電極の一方に接続された画素電極と同一材料で構成されていることを特徴とする請求項1記載の薄膜トランジスタ基板。

【請求項3】 前記画素電極は透明電極であることを特徴とする請求項2記載の薄膜トランジスタ基板。

【請求項4】 前記コンタクトホールは前記薄膜トランジスタの活性領域から5ミクロンメートル以上離れた位置に形成されていることを特徴とする請求項1記載の薄膜トランジスタ基板。

【請求項5】 前記バックチャネル電極と前記ゲート絶縁膜との間には前記バックチャネル電極と同一幅にパターニングされたパッシベーション膜と半導体層とが介在していることを特徴とする請求項1記載の薄膜トランジスタ基板。

【請求項6】 前記ソース・ドレイン電極と前記ゲート絶縁膜との間には前記薄膜トランジスタのソース・ドレイン電極と同一幅にパターニングされた半導体層が介在していることを特徴とする請求項1記載の薄膜トランジスタ基板。

【請求項7】 前記半導体層は前記ソース・ドレイン電極と接触する側にオームックコンタクト層を有することを特徴とする請求項1記載の薄膜トランジスタ基板。

【請求項8】 ゲート電極配線の上にゲート絶縁膜を介して形成された半導体層と、前記半導体層上に形成されたソース・ドレイン配線と、前記ソース・ドレイン配線上にパッシベーション膜を介して設けられたバックチャネル電極とを

有する薄膜トランジスタにおいて、前記ソース・ドレイン電極の一方に接続される画素電極が前記バックチャネル電極と同一材料で、同時に形成されたものであるとともに、前記バックチャネル電極と前記ゲート絶縁膜との間には前記バックチャネル電極パターンと同一パターンに形成された前記パッシベーション膜と前記半導体層とが介在し、かつ前記バックチャネル電極と前記ゲート電極とが前記パッシベーション膜と前記半導体層と前記ゲート絶縁膜とを貫通するコンタクトホールを経由して接続されているものであり、前記ソース・ドレイン配線層と前記ゲート絶縁膜との間に前記ソース・ドレイン配線層と同一パターンに形成された前記半導体層が介在していることを特徴とする薄膜トランジスタ。

【請求項9】 前記画素電極に接続される前記ソース・ドレイン電極の一方の側端面が前記画素電極と接触する構成であることを特徴とする請求項8記載の薄膜トランジスタ基板。

【請求項10】 前記画素電極に接続される前記ソース・ドレイン電極の一方の側端面がクランク形状に延在して前記側端面の全域にわたって前記画素電極と接触していることを特徴とする請求項9記載の薄膜トランジスタ基板。

【請求項11】 基板上にゲート電極配線パターンを形成し、ゲート絶縁膜を介して半導体層とソース・ドレイン電極を形成する工程を有するとともに、前記ソース・ドレイン電極の一方に接続される画素電極を形成する工程と、前記薄膜トランジスタの活性領域上にパッシベーション膜を介してバックチャネル電極を形成する工程を含む薄膜トランジスタ基板の製造方法において、前記半導体層をパターニングせずに前記ソース・ドレイン電極をパターニングする工程と、前記ソース・ドレイン電極のパターニング工程後に前記パッシベーション膜を形成する工程と、前記バックチャネル電極と前記ゲート電極との導通用のゲートコンタクトホールと前記画素電極用の開口部とを前記パッシベーション膜と前記半導体層と前記ゲート絶縁膜とを貫通するようにパターニングする工程と、前記画素電極用の導電膜を前記ゲートコンタクトホールと前記開口部とを共通に覆うように成膜して後、前記画素電極と前記バックチャネル電極が残るようにパターニングする工程において、残された前記画素電極および前記バックチャネル電極と前記ソース・ドレイン電極とをマスクとして残された前記パッシベーション膜およ

び前記半導体層とを一括してパターニングすることを特徴とする薄膜トランジスタ基板の製造方法。

【請求項12】 前記開口部は前記画素電極が接続される前記ソース・ドレイン電極の一方の一部を除去して設けられることを特徴とする請求項9記載の薄膜トランジスタ基板の製造方法。

【請求項13】 前記コンタクトホールは前記薄膜トランジスタの活性領域から離れた位置に形成されることを特徴とする請求項9記載の薄膜トランジスタ基板の製造方法。

【請求項14】 前記開口部の一辺は前記画素電極が接続される前記ソース・ドレイン電極の一方の一辺が露出して前記画素電極と前記ソース・ドレイン電極の一方とが電気的に接続されるように形成されていることを特徴とする請求項9記載の薄膜トランジスタ基板の製造方法。

【請求項15】 前記半導体層は前記ソース・ドレイン電極側にオーミックコンタクト層を有し、前記活性領域上に位置する前記オーミックコンタクト層は前記ソース・ドレイン電極のパターニング工程時に一括してパターニングされることを特徴とする請求項9記載の薄膜トランジスタ基板の製造方法。

【請求項16】 基板上に第1の配線パターンを形成する第1のパターニング工程と、前記基板および前記第1の配線パターン上に第1の絶縁膜と半導体層と第2の配線膜との積層体を成膜する工程と、前記積層体を成膜する工程の後に前記第2の配線膜を所定の配線パターンに形成する第2のパターニング工程と、前記積層体および前記第2の配線パターン上に共通に第2の絶縁膜を成膜する工程と、前記第2の絶縁膜から前記第1の配線パターンの一部を露出するゲートコンタクトホールと前記第2の絶縁膜から前記基板の一部を露出させる画素電極用開口部とを同時に形成する第3のパターニング工程と、前記第3のパターニング工程後に透明電極を成膜する工程と、成膜された前記透明電極をパターンニングし透明画素電極を形成すると同時にチャネル部にも透明電極を形成し、かつ、前記透明電極上のレジストマスクおよび前記第2の配線パターンをエッチングレジストマスクとして、前記半導体層を選択的にエッチングして半導体領域を確定する第4のパターニング工程とを有することを特徴とする薄膜トランジスタの製造

方法。

【請求項17】 基板上に遮光配線パターンを形成する第1のパターニング工程と、前記基板および前記遮光配線パターン上に第1の絶縁膜を成膜する工程と、前記第1の絶縁膜上に透明電極を成膜して所定の透明電極パターンに形成する第2のパターニング工程と、前記透明電極パターン上に半導体層と第2の絶縁膜を成膜する工程と、前記第2の絶縁膜から前記遮光配線パターンの一部を露出するゲート>Contactホールと前記第2の絶縁膜から前記透明電極の画素電極領域およびソース・ドレイン電極の画素電極に接続されない側の電極領域とを露出させる画素電極用開口部および配線>Contactホールとを同時に形成する第3のパターニング工程と、前記第3のパターニング工程後に金属膜を成膜する工程と、成膜された前記金属膜をパターンニングして前記配線>Contactホール上で前記画素電極に接続されない側の電極領域に接続された第2の配線パターンを形成すると同時に、前記ゲート>Contactホールおよびチャネル領域上にもチャネル電極を形成し、かつ、前記チャネル電極および前記第2の配線パターンをエッチングレジストマスクとして、前記半導体層を選択的にエッチングして半導体領域を確定する第4のパターニング工程とを有することを特徴とする薄膜トランジスタの製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は薄膜トランジスタ基板およびその製造方法に関し、特にアクティブマトリクス型液晶表示パネルの薄膜トランジスタ基板（TFT基板）およびその製造方法に関する。

##### 【0002】

##### 【従来の技術】

近年、アクティブマトリクス型液晶パネルは供給不足の状態にある。そのためには生産能力を向上させる上でパターニング工程の回数の低減が必要となってきている。とくに表示品質を低下させないでかつパターニング工程の回数を低減させることが急務となっている。

## 【0003】

パターニング工程の回数を少なくした従来の一般的なTFT基板の製造方法でも、次に述べるように少なくとも5種類のフォトレジストマスクパターンを用いたフォトリソグラフィー技術による5回のパターニング工程を必要としていた。以下の例は、逆スタガー型TFT（ボトムゲート型TFTとも呼ぶ）の場合である。

## 【0004】

第1パターニング工程は、ガラス基板上にゲート配線用の導体膜を成膜後にゲート配線をパターンニングする工程である。

## 【0005】

第2パターニング工程は、ゲート配線上にゲート絶縁膜、半導体層を順次成膜後、トランジスタとなる半導体層およびオームикコンタクト層が選択的に残るようエッティングする工程である。

## 【0006】

第3パターニング工程は、ソース・ドレイン電極膜を成膜後にソース・ドレイン配線をパターンニングする工程である。この工程で、ソース・ドレイン電極間に露出するオームック半導体層もエッティング除去する。

## 【0007】

第4パターニング工程は、パッシベーション窒化膜を全面に成膜後、画素電極とドレイン電極またはソース電極のいづれか一方を接続するコンタクトホールを形成する工程である。

## 【0008】

第5パターニング工程は、全面に透明電極膜を成膜後、透明画素電極をパターンニングする工程である。

## 【0009】

なお、上記ソース・ドレイン電極とは本来ソース電極とドレイン電極とに区別されるものであるが、TFT液晶表示装置では交流駆動されるため両者の区別は単なる呼称の相違であるから、便宜上本願明細書では、ソース電極とドレイン電極の内、画素電極に接続される側をソース電極と呼び、他方をドレイン電極と呼

ぶこととし、両者を併せてソース・ドレイン電極と称する。

【0010】

【発明が解決しようとする課題】

上述した従来工程では少なくとも5回のパターニング工程が必要となる。また、バックチャネルがフローティング状態であり長期に動作した場合バックチャネルのリーク電流が増大し、表示ムラ発生の要因となる問題があった。

【0011】

【課題を解決するための手段】

本発明によれば、バックチャネル電極を備えた薄膜トランジスタ基板において、前記薄膜トランジスタを構成する半導体層の一部に設けたコンタクトホールを介して前記バックチャネル電極とゲート電極とを短絡することにより、前記薄膜トランジスタのゲート配線側に位置するフロントチャネルと前記バックチャネル電極側に位置するバックチャネルとが同一電圧となるように構成したことを特徴とする薄膜トランジスタ基板が得られる。

【0012】

前記バックチャネル電極は、前記薄膜トランジスタのソース・ドレイン電極の一方に接続された透明電極などの画素電極と同一材料で構成されていることをも特徴とする。

【0013】

また、前記コンタクトホールは前記薄膜トランジスタの活性領域から5ミクロンメートル以上離れた位置に形成されることが望ましい。

【0014】

さらに、前記バックチャネル電極と前記ゲート絶縁膜との間には前記バックチャネル電極と同一幅にパターニングされたパッシベーション膜と半導体層とが介在していることをも特徴とする。

【0015】

また、前記ソース・ドレイン電極と前記ゲート絶縁膜との間には前記薄膜トランジスタのソース・ドレイン電極と同一幅にパターニングされた半導体層が介在していることをも特徴とする。

## 【0016】

前記半導体層は前記ソース・ドレイン電極と接触する側にオーミックコンタクト層を有することを特徴とする。

## 【0017】

また、本発明によれば、ゲート電極配線の上にゲート絶縁膜を介して形成された半導体層と、前記半導体層上に形成されたソース・ドレイン配線と、前記ソース・ドレイン配線上にパッシベーション膜を介して設けられたバックチャネル電極とを有する薄膜トランジスタにおいて、前記ソース・ドレイン電極の一方に接続される画素電極が前記バックチャネル電極と同一材料で、同時に形成されたものであるとともに、前記バックチャネル電極と前記ゲート絶縁膜との間には前記バックチャネル電極パターンと同一パターンに形成された前記パッシベーション膜と前記半導体層とが介在し、かつ前記バックチャネル電極と前記ゲート電極とが前記パッシベーション膜と前記半導体層と前記ゲート絶縁膜とを貫通するコンタクトホールを経由して接続されているものであり、前記ソース・ドレイン配線層と前記ゲート絶縁膜との間に前記ソース・ドレイン配線層と同一パターンに形成された前記半導体層が介在していることを特徴とする薄膜トランジスタも得られる。ここで、前記画素電極に接続される前記ソース・ドレイン電極の一方の側端面が前記画素電極と接触する構成であることをも特徴とし、さらに、前記画素電極に接続される前記ソース・ドレイン電極の一方の側端面がクランク形状に延在して前記側端面の全域にわたって前記画素電極と接触していることをも特徴とする。

## 【0018】

また、上記薄膜トランジスタ基板の製造方法としては次のとおりである。

## 【0019】

基板上にゲート電極配線パターンを形成し、ゲート絶縁膜を介して半導体層とソース・ドレイン電極を形成する工程を有するとともに、前記ソース・ドレイン電極の一方に接続される画素電極を形成する工程と、前記薄膜トランジスタの活性領域上にパッシベーション膜を介してバックチャネル電極を形成する工程を含む薄膜トランジスタ基板の製造方法において、前記半導体層をパターニングせず

に前記ソース・ドレイン電極をパターニングする工程と、前記ソース・ドレイン電極のパターニング工程後に前記パッシベーション膜を形成する工程と、前記バックチャネル電極と前記ゲート電極との導通用のゲートコンタクトホールと前記画素電極用の開口部とを前記パッシベーション膜と前記半導体層と前記ゲート絶縁膜とを貫通するようにパターニングする工程と、前記画素電極用の導電膜を前記ゲートコンタクトホールと前記開口部とを共通に覆うように成膜して後、前記画素電極と前記バックチャネル電極が残るようにパターニングする工程において、残された前記画素電極および前記バックチャネル電極と前記ソース・ドレイン電極とをマスクとして残された前記パッシベーション膜および前記半導体層とを一括してパターニングすることを特徴とする薄膜トランジスタ基板の製造方法。

#### 【0020】

この製造方法において、前記開口部は前記画素電極が接続される前記ソース・ドレイン電極の一方の一部を除去して設けられることを特徴とする。

#### 【0021】

同様に前記コンタクトホールは前記薄膜トランジスタの活性領域から離れた位置に形成されることをも特徴とする。

#### 【0022】

また、この製造方法においては、前記開口部の一辺は前記画素電極が接続される前記ソース・ドレイン電極の一方の一辺が露出して前記画素電極と前記ソース・ドレイン電極の一方とが電気的に接続されるように形成されていることを特徴とする。

#### 【0023】

さらに、前記半導体層は前記ソース・ドレイン電極側にオーミックコンタクト層を有し、前記活性領域上に位置する前記オーミックコンタクト層は前記ソース・ドレイン電極のパターニング工程時に一括してパターニングされることをも特徴とする。

#### 【0024】

さらにまた本発明によれば、基板上に第1の配線パターンを形成する第1のパターニング工程と、前記基板および前記第1の配線パターン上に第1の絶縁膜と

半導体層と第2の配線膜との積層体を成膜する工程と、前記積層体を成膜する工程の後に前記第2の配線膜を所定の配線パターンに形成する第2のパターニング工程と、前記積層体および前記第2の配線パターン上に共通に第2の絶縁膜を成膜する工程と、前記第2の絶縁膜から前記第1の配線パターンの一部を露出するゲートコンタクトホールと前記第2の絶縁膜から前記基板の一部を露出させる画素電極用開口部とを同時に形成する第3のパターニング工程と、前記第3のパターニング工程後に透明電極を成膜する工程と、成膜された前記透明電極をパターンニングし透明画素電極を形成すると同時にチャネル部にも透明電極を形成し、かつ、前記透明電極上のレジストマスクおよび前記第2の配線パターンをエッチングレジストマスクとして、前記半導体層を選択的にエッチングして半導体領域を確定する第4のパターニング工程とを有することを特徴とする薄膜トランジスタの製造方法が得られる。

#### 【0025】

また、本発明によれば、基板上に遮光配線パターンを形成する第1のパターニング工程と、前記基板および前記遮光配線パターン上に第1の絶縁膜を成膜する工程と、前記第1の絶縁膜上に透明電極を成膜して所定の透明電極パターンに形成する第2のパターニング工程と、前記透明電極パターン上に半導体層と第2の絶縁膜を成膜する工程と、前記第2の絶縁膜から前記遮光配線パターンの一部を露出するゲートコンタクトホールと前記第2の絶縁膜から前記透明電極の画素電極領域およびソース・ドレイン電極の画素電極に接続されない側の電極領域とを露出させる画素電極用開口部および配線コンタクトホールとを同時に形成する第3のパターニング工程と、前記第3のパターニング工程後に金属膜を成膜する工程と、成膜された前記金属膜をパターンニングして前記配線コンタクトホール上で前記画素電極に接続されない側の電極領域に接続された第2の配線パターンを形成すると同時に、前記ゲートコンタクトホールおよびチャネル領域上にもチャネル電極を形成し、かつ、前記チャネル電極および前記第2の配線パターンをエッチングレジストマスクとして、前記半導体層を選択的にエッチングして半導体領域を確定する第4のパターニング工程とを有することを特徴とする薄膜トランジスタの製造方法も得られる。

## 【0026】

## 【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

## 【0027】

図1は本発明の一実施の形態によるTFT基板の一画素領域を示す平面図であり、図1のA-A線、B-B線、C-C線およびD-D線に沿った断面図を図2、図3、図4および図5にそれぞれ示す。

## 【0028】

本発明の液晶表示パネル用等のTFT基板は、ガラス板等の透明な絶縁性基板1の表面にCr、W、Ta、Al等のゲート電極2が形成され、その上に窒化シリコン等のゲート絶縁膜3を介してノンドープアモルファスシリコン(a-Si)等の半導体層4とn型不純物のリン等がドープされたn+a-Si等のオームイックコンタクト層5が形成される。

## 【0029】

トランジスタ領域では、図2に示すように、半導体層4上に形成されたオームイックコンタクト層5のうち、ソース・ドレイン電極61、62間に位置するチャネル領域上の領域が除去されて、トランジスタの活性領域を構成している。さらに、ゲート電極領域の上部には窒化膜等のパッシベーション膜7を介してバックチャネル電極82が形成されている。バックチャネル電極82は酸化インジウム錫(ITO)などの透明電極層で形成されて、画素電極81と同時にパターニングされる。

## 【0030】

本発明では、バックチャネル電極82がフローティング状態とならないよう、図3及び図4に示すごとく、ゲートコンタクトホール10を介してゲート電極2にバックチャネル電極82が電気的に接続されている。

## 【0031】

コンタクトホール10はソース、ドレイン電極61、62で挟まれているチャネル活性領域層から十分に離し(5μm以上)かつゲート配線上に来るようパターニングされている。すなわち、図3および図4に示すように、パッシベーション膜7を介してゲート電極2と接続される。

ヨン膜7、半導体層4およびゲート絶縁膜2を貫通して、ゲート電極2を露出させている。このゲートコンタクトホール10の形成時に、同時に画素電極81の領域に相当する開口11をパッシベーション膜7、半導体層4およびゲート絶縁膜2もエッチングして基板1を露出させる(図7(b)参照)。次に画素電極81の形成時にバックチャネル電極82も同時に形成する。そして、ソース・ドレイン配線領域とバックチャネル電極との間に残っている半導体層4を透明画素電極およびバックチャネル電極のパターニング時に一括エッチングすることにより、本発明のTFT基板は形成される。

#### 【0032】

このような構成を採用することにより、図2に示すようにフロントチャネル42(ゲート配線側)とバックチャネル44(液晶配向側)は薄膜トランジスタ動作時に同電位となる。

#### 【0033】

また、画素電極とゲート電極との間に蓄積容量領域が形成されるが、本発明では図5に示すように、蓄積容量領域もソース・ドレイン電極61、62の形成時に同時に蓄積容量領域用の電極63をソース・ドレイン電極と同一材料でパターニングすることにより、透明画素電極81と蓄積容量用電極63が電気的に接続され、ゲート絶縁膜3を介してゲート電極2との間に蓄積容量を形成できる。

#### 【0034】

また、本発明の透明画素電極81は図3および図4に示すように、画素電極に接続される前記ソース・ドレイン電極の一方、すなわち、図示の場合はソース電極61の側端面に接触して電気的接続を確保している。両者の接觸面積を増して電気抵抗を下げる工夫として、図1に示すようにソース電極61をクランク形状にパターニングしており、その全辺で透明画素電極81と接觸させている。このように、画素電極に接続される前記ソース・ドレイン電極の一方の側端面が前記画素電極と接觸する構成の場合には、その側端面がクランク形状に延在して前記側端面の全域にわたって前記画素電極と接觸して電気抵抗を低めることが望ましい。

#### 【0035】

なお、図示の例では、開口部11を形成するときにソース電極61の一辺をエッティング除去して、ソース電極61の側端面を露出させているが、ソース電極の画素電極側の側端面が露出するようにパッシベーション膜7をエッティング除去できれば、ソース電極61の一辺をエッティング除去せずとも透明画素電極81とソース電極61との接続は確保できる。

## 【0036】

次に、本発明の薄膜トランジスタの製造方法を各パターニング工程毎に順を追って説明する。

## 【0037】

第1パターニング工程は、基板1上にゲート配線2となるCr、W、Ta, Al等の金属膜をスパッタ法などにより100nm～300nmの厚さに成膜する。その後フォトリソグラフィー法によりエッティングを実施して図6(a)に示すようなゲート配線パターン2を形成する工程を含むものである。

## 【0038】

第2パターニング工程は、プラズマCVD法などにより、窒化シリコン等のゲート絶縁膜3を200nm～600nmの厚さに、ノンドープa-Si等の半導体層4を100nm～400nmの厚さに、n+a-Si等のオーミックコンタクト層5を10nm～100nmの厚さに連続して成膜し、さらにソース、ドレインとなるCr、W、Ta, Al等の金属膜をスパッタ法などにより50nm～200nmの厚さに成膜して、先ず図6(a)に示すようにソース・ドレイン配線61, 62をパターニングすることと、表面に露出しているオーミックコンタクト層5のうち、バックチャネル領域のオーミック半導体層(オーミックコンタクト層)をエッティング除去する工程を含むものである(図2参照)。

## 【0039】

第3パターニング工程は、プラズマCVD法などで窒化シリコン等のパッシベーション膜7を100nm～300nmの厚さに全面に成膜して(図6(b)参照)、図7(a)、(b)に示すように、ゲート配線上でかつ活性層から約5ミクロンメートル以上の十分離れた箇所をゲート電極に達するまでエッティングすると同時に画素部も基板1に達するまでエッティングする工程を含むものである。こ

の段階では、まだコンタクトエッチングした以外の場所は半導体層が残っている。

【0040】

第4パターニング工程は、最上層全面にITO等の透明電極を40nm~100nmの厚さにスパッタ法などで成膜後、パターンニングし透明画素電極81を形成すると同時にチャネル部にも透明電極82を形成する工程と、この透明電極のパターニング工程の際に、これら透明電極上のレジストマスクおよび配線電極をエッチングレジストマスクとして、パッシベーション膜7、オーミックコンタクト層5、半導体層4を選択的に除去して図3に示すように半導体活性層領域を確定する工程とを含むものである。

【0041】

第4パターニング工程では、透明電極とソース・ドレイン電極61, 62とは同一エッチング工程に対して選択性のある金属を選択する必要がある。その一例としては、ソース・ドレイン配線61, 62をCr等で形成し、透明電極としてはITOを採用することが考えられる。その場合には、ITOのエッチングは塩化鉄系のウエットエッチングまたはHI、HBrなどのガスを使用したドライエッチを実施してパターンニングを実施できるが、この時の下層のCrはエッチングされない。Crのエッチングは強酸化性のCeを用いたウエットエッチかCl系のガスを用いたドライエッチ等を用いないとエッチングされないためである。

【0042】

以上の4回のパターニング工程を実施して図1の薄膜トランジスタが完成する。したがって、本発明ではフォトレジストのパターニング回数が4回ですませることができるので、製造工程が大幅に簡略化される利点がある。

【0043】

上記4回のパターニング工程に使用されるエッチングマスク材料は従来周知の有機系フォトレジストで良く、本発明に特有のものではない。エッチング手法としては、ゲート電極に対してはウエットエッチングが可能であり、オーミックコンタクト層、半導体層、パッシベーション膜に対しては、フッ素系のガスを用いたドライエッチングが可能である。好ましくは、オーミックコンタクト層につい

てはプラズマエッティングを、半導体層およびパッシベーション膜については反応性エッティングが採用される。

【0044】

図8に従来製法の5回のパターニング工程で作成したトランジスタ特性を、図9に本発明によるトランジスタ特性を示す。図8および図9の両方ともにドレン配線に  $V_b = +10V$  の電圧を印加してゲート配線に  $V_a$  (横軸) を  $-20$  から  $+20V$  まで印加し、その時のトランジスタに流れる電流値を縦軸に  $I$  (A) としてプロットしたものである。また、右縦軸の  $\sqrt{I}$  (A) はその電流特性の直線性を示したものである。

【0045】

更に本測定は薄膜トランジスタの裏面、すなわちバックチャネル電極82側から光を照射した状態で測定している。この特性を比較したときに  $V_a = -20 \sim -5V$  領域での本発明のトランジスタの電流値は  $10E-11$  より大であり、従来製法のトランジスタと全く遜色が無いことがわかる。本来ならば図2に示すようにフロントチャネル42およびバックチャネル44の両方ともにゲート配線でコントロールしているため、この領域の電流値は低下すべきであるがバックチャネル電極を透明に使用しているため測定時に使用した裏面からの光がバックチャネル側から入射しているため低減していないと推定される。

【0046】

また、 $V_a = +5 \sim +20V$  領域では従来製法に比較して約3倍の電流が流れていることがわかる。これは従来製法では図2に示すフロントチャネル42にしか電子が流れないのでに対し本発明ではフロントチャネル42とバックチャネル44の両方共に電子が流れているため電流特性が向上したと推定される。ただなぜ3倍も流れたのかは今のところ不明である。

【0047】

このように本発明のトランジスタは  $I_{on}$  (トランジスタスイッチON) /  $I_{off}$  (トランジスタスイッチOFF) が極めて向上するだけではなく従来製法よりもフォトレジストパターンニング回数を削減できる有益な製造方法である。

【0048】

以上の説明では逆スタガー型TFTについて述べたが、順スタガー型（トップゲート型ともいう）のものへも適用できることは言うまでもない。

【0049】

すなわち、図10を参照して説明するならば、第1のパターニング工程は、基板表面にバックチャネル電極となる遮光膜の配線102を形成する工程を含むものである。

【0050】

第2のパターニング工程は、絶縁膜を成膜したのちITO等の透明電極膜を成膜して画素電極181およびソース・ドレイン電極161、162をパターニングする工程を含むものである。

【0051】

第3のパターニング工程は、半導体層、ゲート絶縁膜を連続成膜し、画素部となる部分と遮光膜上に画素電極を露出させる開口部111とゲートコンタクトホール110と、ドレイン電極へのコンタクトホール211を形成する工程を含むものである。

【0052】

第4のパターニング工程は、フロントチャネルおよびドレイン配線となる金属膜を成膜して、ドレイン配線262とフロントチャネル182をパターニングして、フロントチャネル182およびドレイン配線262をマスクとして半導体層を一括エッチングする工程を含むものである。

【0053】

上記順スタガ型の説明では、オーミックコンタクト層について述べなかったが、透明電極としてITOを用い、その上に形成された半導体層の界面側にのみ選択的にオーミックコンタクト層を形成する技術が知られているので、その方法を採用することにより、新たなマスクパターンを必要とせずにオーミックコンタクト層を形成できる。

【0054】

以上、本発明のTFT基板側の特徴点についてのみ述べたが、TFT基板の液晶に接する側には、周知の技術手段によりカラーフィルター層や配向膜が適宜設

けられることは言うまでもないが、図面の簡素化のため本願発明の図面では図示を省略している。

【0055】

【発明の効果】

以上の通り本発明は、バックチャネル、又はフロントチャネル上の電極をマスクとして半導体層を一括エッチングすることを特徴としており、これにより以下の作用効果を奏する。

(イ) フォトレジストパターニング回数が4回で薄膜トランジスタが形成可能となる。

(ロ) フロントチャネルとバックチャネルがゲート配線からの信号でON、OFF可能となり継続動作時のバックチャネルリークの低減が可能となる。

(ハ) パターニング工程回数を減らすことで静電保護回路の除去を実施する必要もあるが、コンタクト形成後に透明電極でゲート、ドレインを接続出来るため従来と同様な回路となる。

(二) 最上層に画素電極を形成するためフォトレジスト回数を低減しても開口率が低下する心配は無い。

【図面の簡単な説明】

【図1】

本発明によるTFT基板の一画素領域を示す平面図。

【図2】

図1のA-A線に沿った断面図。

【図3】

図1のB-B線に沿った断面図。

【図4】

図1のC-C線に沿った断面図。

【図5】

図1のD-D線に沿った断面図。

【図6】

図1のTFT基板の製造工程の途中を説明するもので、(a)は平面図、(b)

) は (a) の E-E 線に沿った断面図。

【図 7】

図 1 の TFT 基板の製造工程の途中を説明するもので、(a) は平面図、(b) は (a) の F-F 線に沿った断面図。

【図 8】

従来製法で得られた薄膜トランジスタの特性図。

【図 9】

本発明による製造方法で得られた薄膜トランジスタの特性図。

【図 10】

本発明の他の実施形態を説明する平面図。

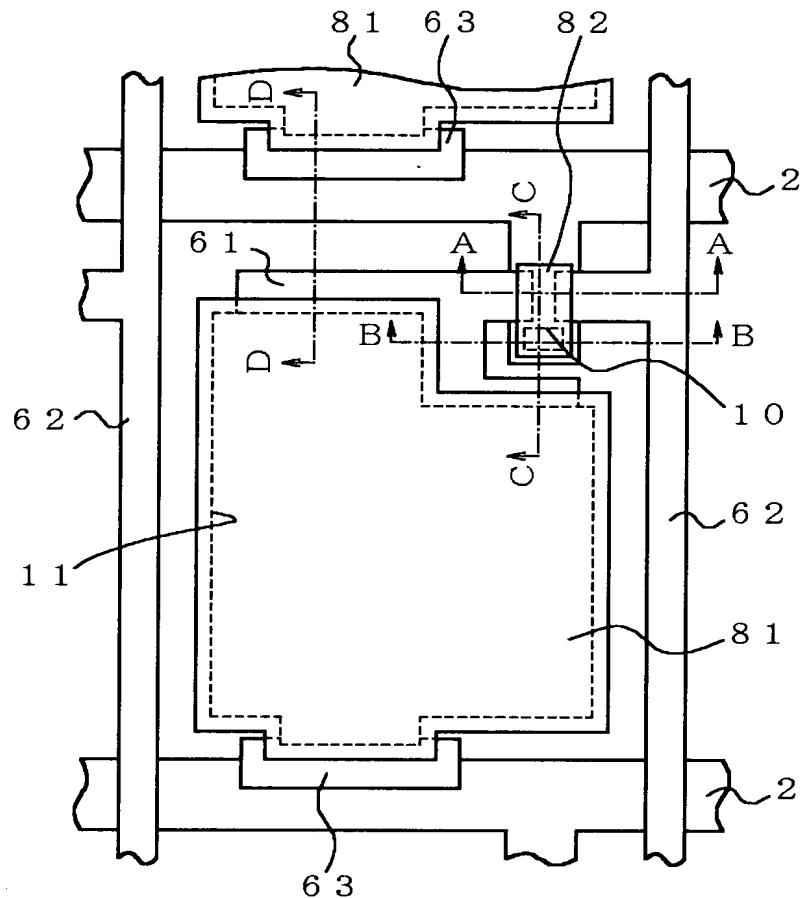
【符号の説明】

- 1 基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体層
- 5 オーミックコンタクト層
- 6 1 ソース電極
- 6 2 ドレイン電極
- 6 3 蓄積容量用電極
- 7 パッシベーション膜
- 8 1 画素電極
- 8 2 バックチャネル電極
- 1 0 ゲートコンタクトホール
- 1 1 開口部
- 1 0 2 遮光膜の配線
- 1 1 0 ゲートコンタクトホール
- 1 1 1 開口部
- 1 6 1 ソース電極
- 1 6 2 ドレイン電極

- 181 画素電極
- 182 フロントチャネル
- 262 ドレイン配線

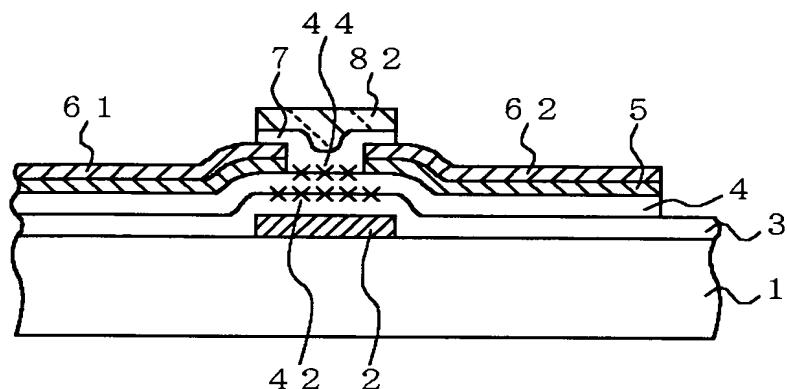
【書類名】 図面

【図1】



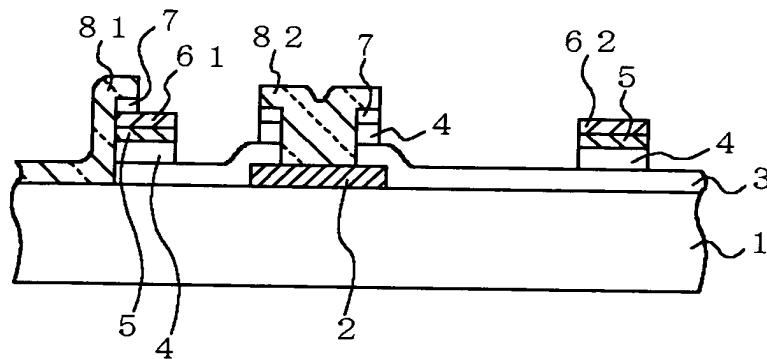
- 2 ゲート電極
- 10 ゲートコンタクトホール
- 11 開口部
- 61 ソース電極
- 62 ドレイン電極
- 63 蓄積容量用電極
- 81 画素電極
- 82 バックチャネル電極

【図2】



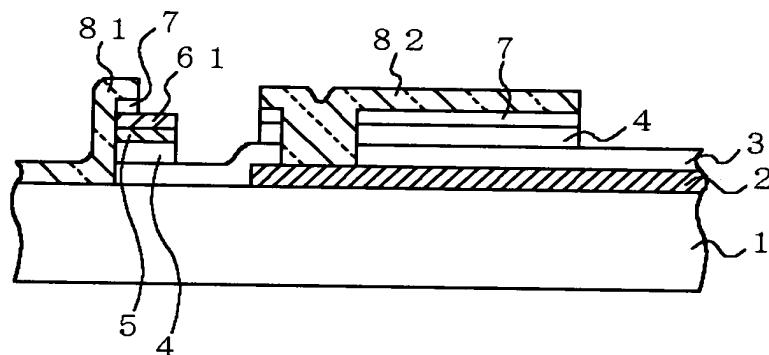
- 1 基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体層
- 5 オーミックコンタクト層
- 7 パッシベーション膜
- 6 1 ソース電極
- 6 2 ドレイン電極
- 8 2 バックチャネル電極

【図3】



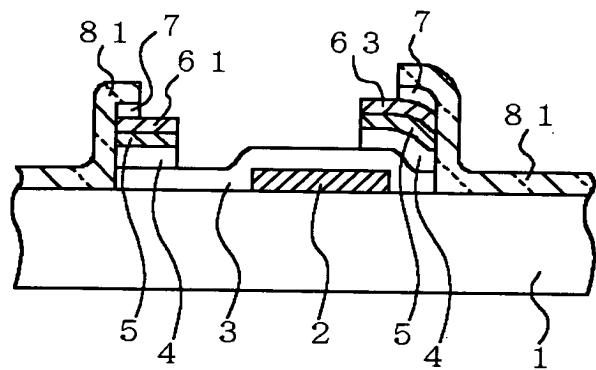
1	基板
2	ゲート電極
3	ゲート絶縁膜
4	半導体層
5	オーミックコンタクト層
7	パッシベーション膜
6. 1	ソース電極
6. 2	ドレイン電極
8. 1	画素電極
8. 2	バックチャネル電極

【図4】



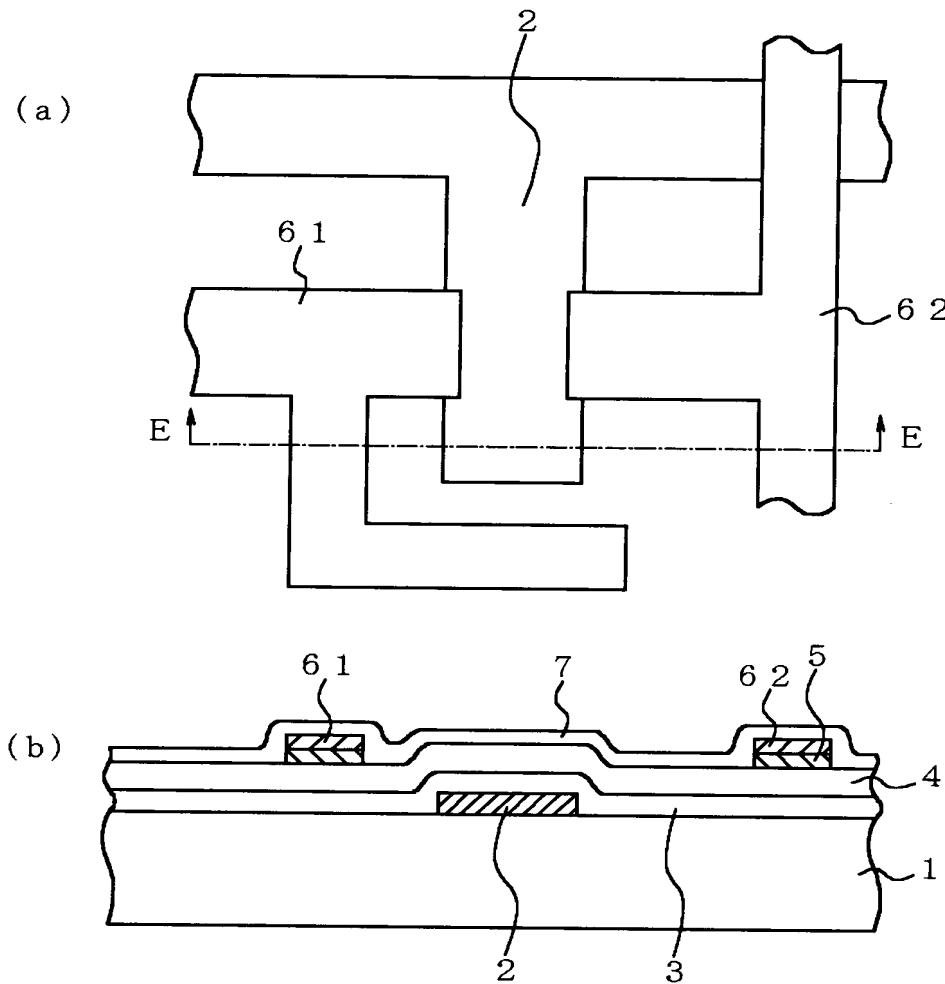
1	基板
2	ゲート電極
3	ゲート絶縁膜
4	半導体層
5	オーミックコンタクト層
7	パッシベーション膜
6. 1	ソース電極
8. 1	画素電極
8. 2	バックチャネル電極

【図5】



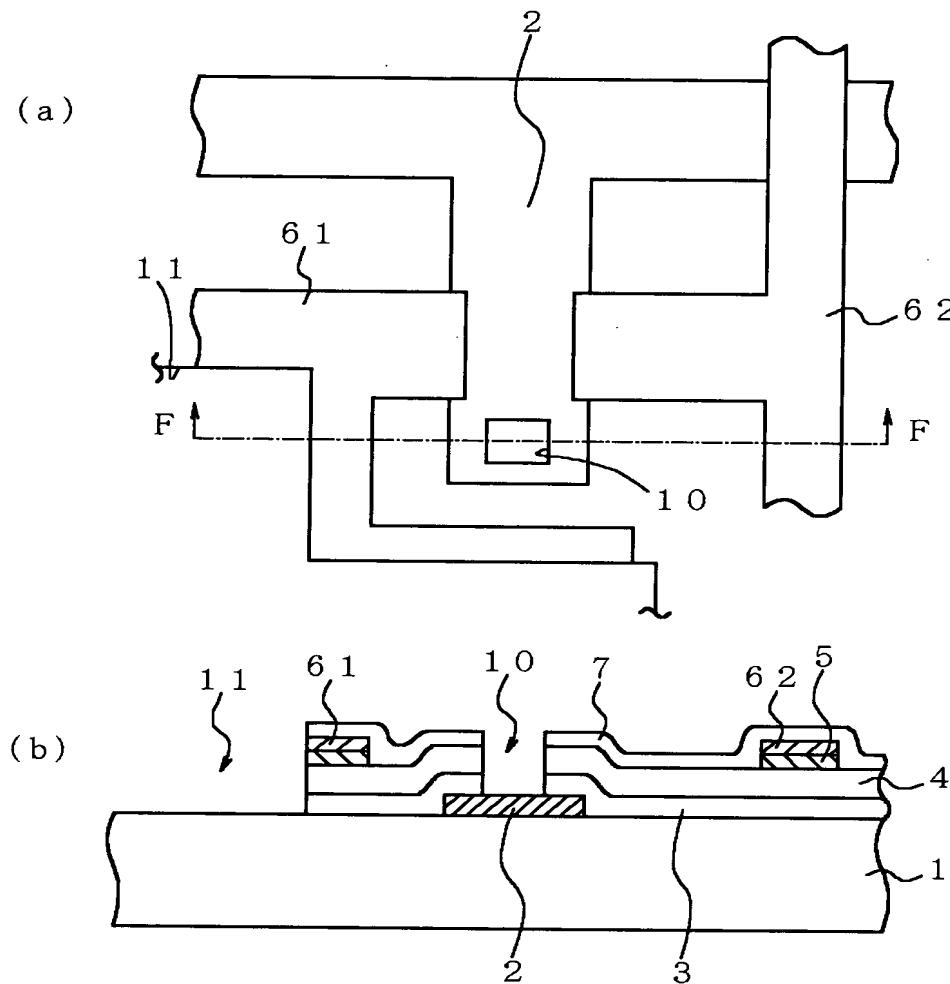
1	基板
2	ゲート電極
3	ゲート絶縁膜
4	半導体層
5	オームикコンタクト層
7	パッシベーション膜
6 1	ソース電極
6 3	蓄積容量用電極
8 1	画素電極

【図6】



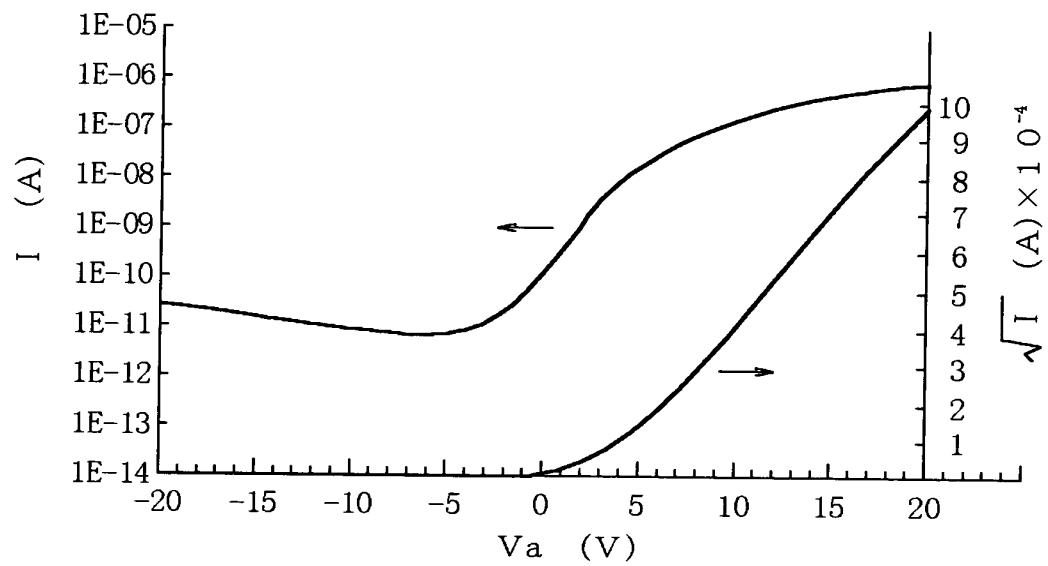
- 1 基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体層
- 5 オーミックコンタクト層
- 7 パッシベーション膜
- 6 1 ソース電極
- 6 2 ドレイン電極

【図7】

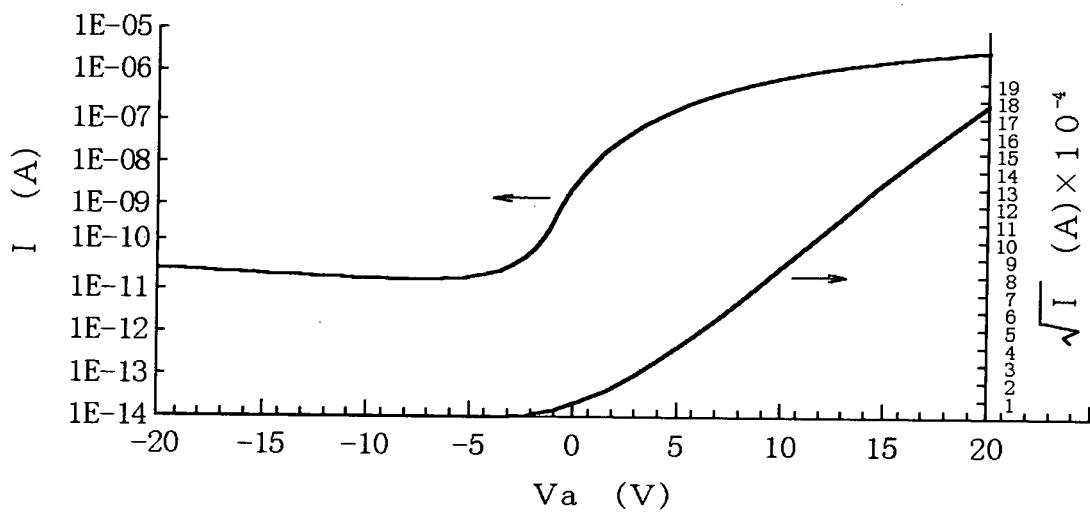


1	基板
2	ゲート電極
3	ゲート絶縁膜
4	半導体層
5	オーミックコンタクト層
7	パッシベーション膜
10	ゲートコンタクトホール
11	開口部
61	ソース電極
62	ドレイン電極

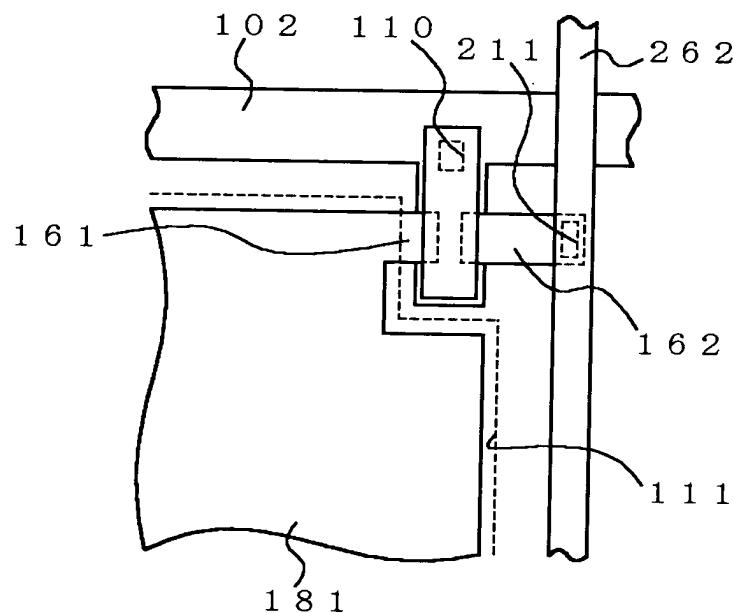
【図 8】



【図 9】



【図10】



- 102 遮光膜の配線
- 110 ゲートコンタクトホール
- 111 開口部
- 161 ソース電極
- 162 ドレイン電極
- 181 画素電極
- 182 フロントチャネル
- 262 ドレイン配線

【書類名】 要約書

【要約】

【課題】 バックチャネル電極がフローティング状態であり長期に動作した場合  
バックチャネルのリーク電流が増大し、表示ムラ発生の要因となる。また、5回  
以上のパターニング工程が必要となる。

【解決手段】 薄膜トランジスタを構成する半導体層4にゲートコンタクトホール10を介してゲート電極2とバックチャネル電極82とを導通することにより  
、薄膜トランジスタのフロントチャネル42（ゲート配線側）とバックチャネル  
44（液晶配向側）を同一電圧とする。またその製造過程において、フロントチ  
ャネル上のレジストを用いて半導体層と透明電極を一括でエッチングすることに  
よって、4回のパターニング工程で薄膜トランジスタ基板を形成する。

【選択図】 図1

認定・付加情報

特許出願の番号 平成11年 特許願 第325739号  
受付番号 59901120772  
書類名 特許願  
担当官 第二担当上席 0091  
作成日 平成11年11月18日

＜認定情報・付加情報＞

【提出日】 平成11年11月16日

次頁無

出願人履歴情報

識別番号 [000181284]

1. 変更年月日 1990年 8月10日

[変更理由] 新規登録

住 所 鹿児島県出水市大野原町2080  
氏 名 鹿児島日本電気株式会社